

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Yoshiharu ANDA et al.

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

Serial No. NEW

**Attn: APPLICATION BRANCH**

Filed July 14, 2003

Attorney Docket No. 2003\_0955A

SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-031214, filed February 7, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Yoshiharu ANDA et al.

By Michael S. Huppert  
Michael S. Huppert  
Registration No. 40,268  
Attorney for Applicants

MSH/kjf  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
July 14, 2003

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2003年 2月 7日

出願番号

Application Number:

特願2003-031214

[ST.10/C]:

[JP2003-031214]

出願人

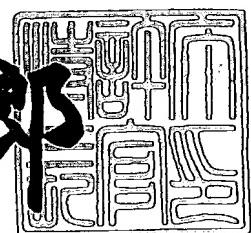
Applicant(s):

松下電器産業株式会社

2003年 3月 28日

特許長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021643

【書類名】 特許願

【整理番号】 2926940048

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/338

H01L 29/812

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 挿田 義治

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 田村 彰良

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半絶縁性基板上に形成されたチャネルと、前記チャネル上に形成されたIn及びPを含む第1の半導体層と、前記第1の半導体層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを備え、前記ゲート電極の前記第1の半導体層に接する材料がLa及びBを主成分とすることを特徴とする半導体装置。

【請求項2】 第1の半導体層はInGaP又はInP又はInAlGaPからなる請求項1記載の半導体装置。

【請求項3】 ゲート電極の第1の半導体層に接する材料がLaB<sub>6</sub>からなる請求項1記載の半導体装置。

【請求項4】 半絶縁性基板上に形成されたIn及びPを含む第1の半導体層と、前記第1の半導体層上にショットキー接触となるショットキー電極とオーム電極とを備え、前記ショットキー電極の前記第1の半導体層に接する材料がLa及びBを主成分とすることを特徴とするショットキーダイオードを有する半導体装置。

【請求項5】 第1の半導体層はInGaP又はInP又はInAlGaPからなる請求項4に記載の半導体装置。

【請求項6】 ショットキー電極の前記第1の半導体層に接する材料がLaB<sub>6</sub>からなる請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は化合物半導体を用いたショットキー接続電極を有する半導体装置、電界効果型トランジスタ及びショットキーダイオードに関するものである。

【0002】

【従来の技術】

近年、GaAsをはじめとする化合物半導体を用いた電界効果トランジスタ(

FET : Field Effect Transistor) は無線通信とりわけ携帯電話端末のパワー アンプやスイッチ等に広く用いられるようになった。このGaAs FETではPHEMT (pseudomorphic high electron mobility transistor : 疑似ヘテロ接合電界効果トランジスタ) と呼ばれるAlGaAs をショットキー接合として用いたFETが一般的である。しかし、このPHEMTはゲート電極の両側にリセスエッチングによりAlGaAs層がむき出しになるため、たとえ保護絶縁膜により保護したとしても、表面準位密度が高く、特にパワーFET等に用いた場合には電流特性の周波数分散により十分にパワーが引き出せないといった課題があった。そこで、AlGaAsに対して表面準位密度の小さなInGaP等の半導体層をゲート脇表面に用いたFETが開発されている（例えば、特許文献1参照）。

#### 【0003】

図5は、従来のInGaP表面保護層を有する電界効果型トランジスタの断面図である。図5において、半絶縁性GaAsからなる基板51の上に、後に成長するエピタキシャル層59と基板51との格子不整合を緩和するための、アンドープGaAsで構成された厚さ1μmのバッファー層52、アンドープAlGaAsで構成されたバッファー層53、厚さ20nmのアンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>Asで構成され、キャリアが走行するチャネル層54、厚さ5nmのアンドープInGaPで構成されたスペーサー層55、n型不純物イオンであるSiが1原子層のみプレーナードーピングされてなるキャリア供給層56、厚さ30nmのアンドープInGaPで構成されたショットキー層57と、厚さ100nmのn<sup>+</sup>型GaAsで構成されたキャップ層58が順次形成されている。さらに、キャップ層58上の2カ所にオームック電極60が形成されている。また、ショットキー層57上には、ゲート電極62が形成されている。また、オームック電極60の近傍には、素子分離領域61が形成されている。さらに、ゲート電極62付近には、SiNやSiOからなる絶縁膜63が形成されている。

#### 【0004】

#### 【特許文献1】

特開平9-045894号公報（第3頁-4頁、第1図）

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、前記従来のInGaP表面保護層を有するFETは以下に説明するような問題を有している。

## 【0006】

InGaPで構成されたショットキー層上に例えばTi等のゲート電極を形成した際には、FETの製造プロセスを経る上での熱（通常300°C程度）により、TiとInGaP層のショットキー界面において拡散が起こり、ショットキー特性が劣化する。特にゲート・ソース間のショットキー接合のリーク電流がAlGaAsをショットキー層として用いた従来のPHEMTよりも増加する。これにより、RF特性においてもデバイスの歪等に劣化が見られる。

## 【0007】

図6はTiをInGaP上のショットキー電極（ゲート電極）に用いた場合、400°Cの加熱によるFETの順方向電流の増加（リーク電流）を示したものである。加熱により、低バイアス時の電流が増加し、ショットキー接合が大きく劣化しているのがわかる。

## 【0008】

本発明は上記の課題を克服し、InGaPを表面保護層として用い表面準位密度をAlGaAsに対して抑制しながら、良好なショットキー特性を有する半導体装置を提供するものである。

## 【0009】

## 【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、半絶縁性基板上に形成されたチャネルと、前記チャネル上に形成されたIn及びPを含む第1の半導体層と、前記第1の半導体層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを備え、前記ゲート電極の前記第1の半導体層に接する材料がLa及びBを主成分とすることを特徴とする。

## 【0010】

この構成により、高融点金属であるLaB<sub>6</sub>(lanthanum hexaboride)（融点2

806°C) をゲート電極に用いることにより、ゲート電極材料とInGaP半導体層との相互拡散を抑制し、熱劣化のない良好なゲート電極を得ることができるようになる。

## 【0011】

## 【発明の実施の形態】

## (第1の実施形態)

以下、本発明の第1の実施形態について図面を参照しながら説明する。

## 【0012】

図1は本発明の第1の実施形態に係る半導体装置の断面構成を示している。半絶縁性GaAsからなる基板1の上に、後に成長するエピタキシャル層と基板1との格子不整合を緩和するための、アンドープGaAsで構成された厚さ1μmのバッファーレ2、アンドープAlGaAsで構成された厚さ100nmのバッファーレ3、厚さ20nmのアンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>Asで構成され、キャリアが走行するチャネル層4、厚さ5nmのアンドープAl<sub>0.25</sub>Ga<sub>0.75</sub>Asで構成されたスペーサー層5、n型不純物イオンであるSiがドーズ量5×10<sup>12</sup>c m<sup>-2</sup>となるように1原子層のみプレーナードーピングされてなるキャリア供給層6、厚さ20nmのアンドープAl<sub>0.25</sub>Ga<sub>0.75</sub>Asで構成されたスペーサー層7と、厚さ10nmのアンドープIn<sub>0.48</sub>Ga<sub>0.52</sub>Pで構成された第1の半導体層8と、厚さ100nmのn<sup>+</sup>型GaAsで構成されたキャップ層9が順次形成されている。さらに、キャップ層9上の2カ所にオーミック電極11が形成されている。また、第1の半導体層8上には、LaB<sub>6</sub>からなるゲート電極13が形成されている。

## 【0013】

また、オーミック電極11の近傍には、素子分離領域12が形成されている。さらに、ゲート電極13付近は、SiN又はSiOの絶縁膜14により保護されている。

## 【0014】

次に、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

## 【0015】

まず、図2に示すように、半絶縁性G a A sで構成された基板1上に、M O—C V D法又はM B E法等を用いてG a A sバッファー層2、A 1 G a A sバッファー層3、チャネル層4、スペーサー層5、キャリア供給層6、A 1 G a A sからなるスペーサー層7、I n G a Pからなる第1の半導体層8、G a A sからなるキャップ層9を順次エピタキシャル成長する。ここで、エピタキシャル成長させたバッファー層2からキャップ層9の各層を全体でエピタキシャル層10とよぶことにする。

## 【0016】

次に、所定の位置にフォトレジスト15によりパターンを形成し、所望の位置を保護し、イオン注入を行うことにより素子分離領域12を形成する。なお、エピタキシャル層10の所定の位置をメサエッチングすることによっても素子分離は可能である（図2（a））。

## 【0017】

次に、フォトレジストパターンを形成し、全面にN i／A u／G e合金からなるオーミック金属を蒸着し、リフトオフすることによって、オーミック電極11を形成する（図2（b））。

## 【0018】

次に、フォトレジスト17を形成した後、キャップ層9のオーミック電極間の所定位置にリセスエッチングを行うことにより、開口部9aを得る。このリセスエッチングでは例えばリン酸、過酸化水素水、水の混合液を用いることにより、キャップ層9とI n G a Pからなる第1の半導体層8のエッチング選択比が大きいことから、キャップ層の開口部9aを選択的に除去が可能であり、安定なりセスエッチングが可能である（図2（c））。

## 【0019】

次に、全面にゲート金属を蒸着し、リフトオフすることによって、L a B<sub>6</sub>からなるゲート電極13を例えば電子ビーム蒸着法により形成する（図2（d））。

## 【0020】

このように高融点金属である  $\text{LaB}_6$  (lanthanum hexaboride) (融点 2806 °C) をゲート材料に用いることにより  $\text{InGaP}$  からなる第1の半導体層8との加熱による相互拡散を抑え、熱的安定性に優れたゲート電極を得ることができる。

### 【0021】

図3に、 $\text{LaB}_6$ を  $\text{InGaP}$  上のショットキー電極（ゲート電極）に用いた場合の400°Cの加熱による順方向電流の増加（ショットキー接合のリーク電流）を示したものである。図6で示したような従来方法と異なり400°C処理をしてもリーク電流は増加しておらず、熱的に安定なショットキー特性を得ることができる。また、本発明は電界効果トランジスタのみならず、例えば  $\text{InGaP}$  と  $\text{LaB}_6$  のショットキー接合を有するすべての電子デバイスにおいて、熱的に安定かつショットキーバリアの高いショットキーダイオードとして有効である。

### 【0022】

また、図4は400°C加熱後の他の高融点金属であるMoのショットキー特性を比較したものであり、 $\text{LaB}_6$ の方が Mo よりも約 0.1V 高いショットキー障壁を持つ良好な特性が得られている。

### 【0023】

#### 【発明の効果】

本発明では良好なショットキー接合を得ることが困難である  $\text{InGaP}$  からなる第1の半導体上に例えば  $\text{LaB}_6$  といった La, B を主成分とするゲート金属材料を用いることにより熱的に安定したショットキー接合を有する半導体装置を得ることができる。この結果、作製される電界効果トランジスタやダイオードではリーク電流を低減した良好な特性を得ることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態に係る電界効果型トランジスタを示す断面図

##### 【図2】

本発明の第1の実施形態に係る電界効果型トランジスタの製造工程断面図

##### 【図3】

本発明の  $\text{LaB}_6$  ゲート電極での電界効果型トランジスタのショットキー接合の熱的安定性を示した図

## 【図4】

ゲート電極材料によるショットキー障壁の優位性を示す図

## 【図5】

従来の電界効果型トランジスタを示す断面図

## 【図6】

従来の  $\text{Ti}$  ゲート電極での電界効果型トランジスタの順方向電流の増加（リーク電流）を示した図

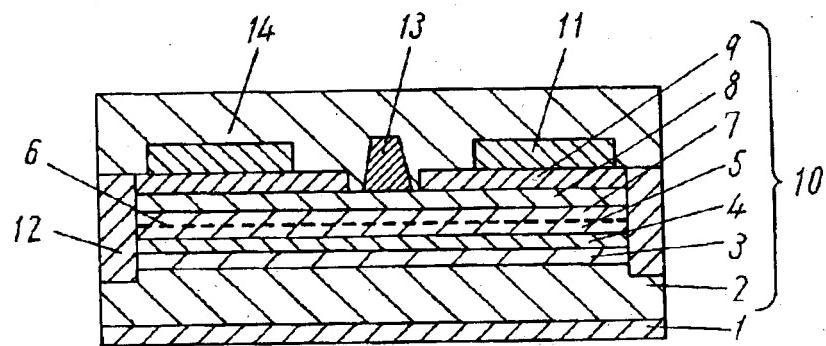
## 【符号の説明】

- 1 半絶縁性  $\text{GaAs}$  基板
- 2  $\text{GaAs}$  バッファー層
- 3  $\text{AlGaAs}$  バッファー層
- 4 チャネル層 ( $\text{InGaAs}$ )
- 5 スペーサー層 ( $\text{AlGaAs}$ )
- 6 キャリア供給層
- 7 スペーサー層 ( $\text{AlGaAs}$ )
- 8 第1の半導体層 ( $\text{InGaP}$ )
- 9  $n^+$ 型  $\text{GaAs}$  キャップ層
- 9 a 開口部
- 10 エピタキシャル層
- 11 オーミック電極
- 12 素子分離領域
- 13 ゲート電極 ( $\text{LaB}_6$ )
- 14 絶縁膜
- 15、17 レジスト
- 51 半絶縁性  $\text{GaAs}$  基板
- 52  $\text{GaAs}$  バッファー層
- 53  $\text{AlGaAs}$  バッファー層

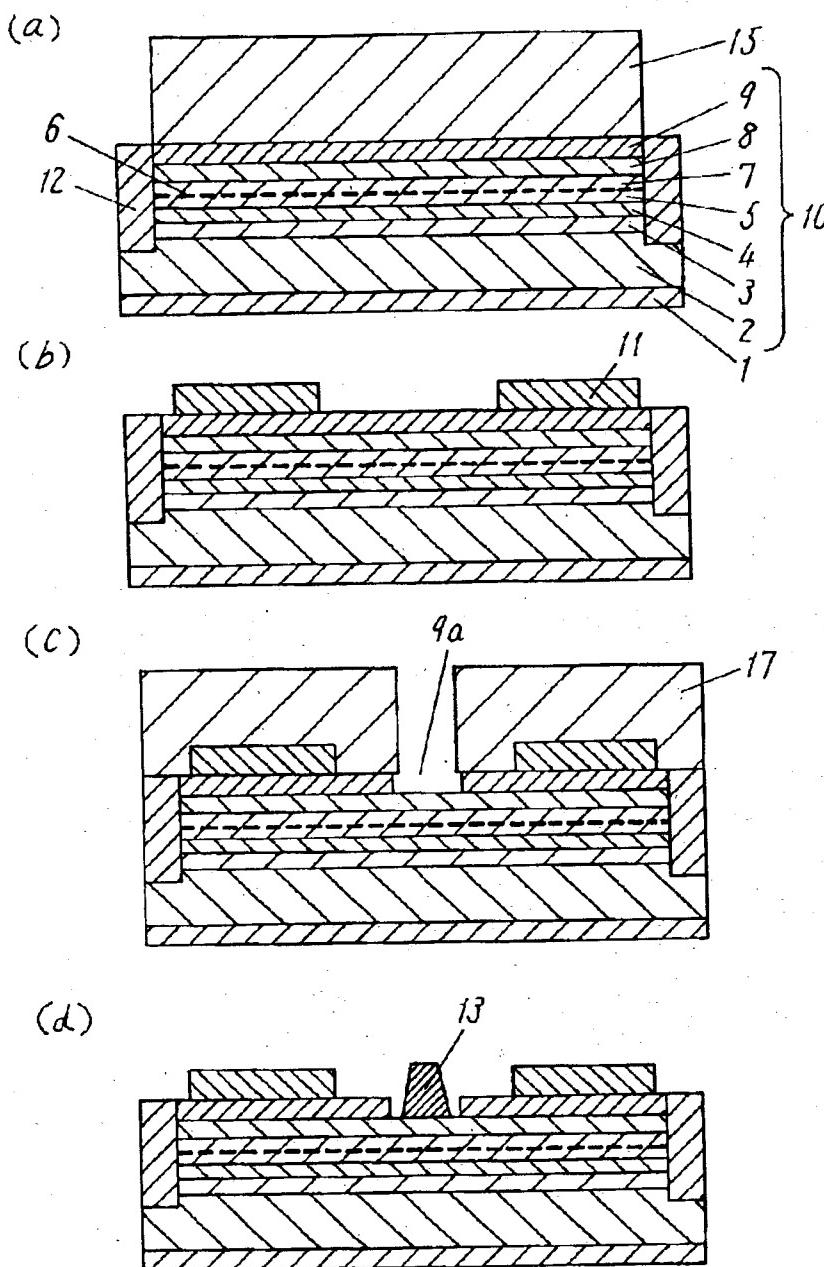
- 5 4 チャネル層 (InGaAs)
- 5 5 スペーサー層 (InGaP)
- 5 6 キャリア供給層
- 5 7 ショットキー層 (InGaP)
- 5 8 n<sup>+</sup>型GaAsキャップ層
- 5 9 エピタキシャル層
- 6 0 オーミック電極
- 6 1 素子分離領域
- 6 2 ゲート電極 (Ti)
- 6 3 絶縁膜

【書類名】 図面

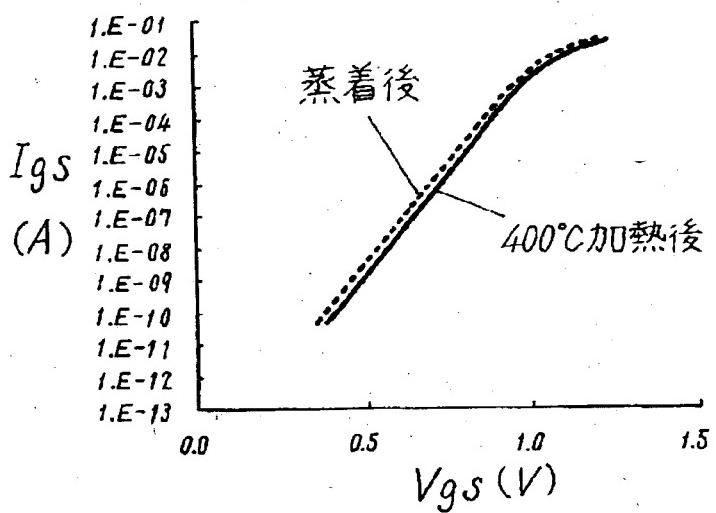
【図1】



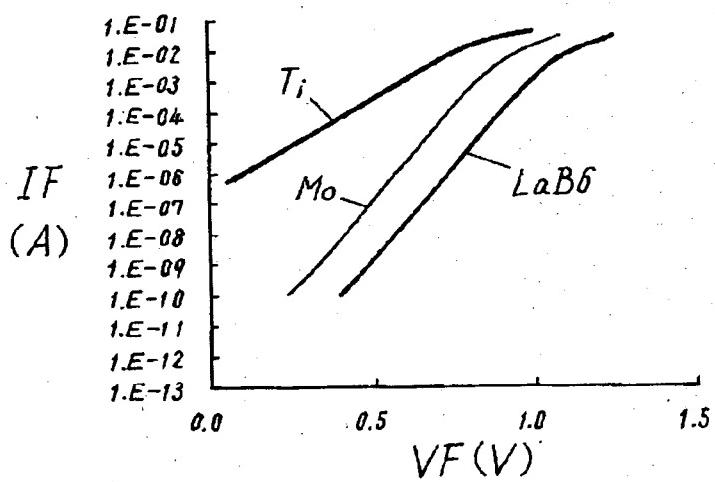
【図2】



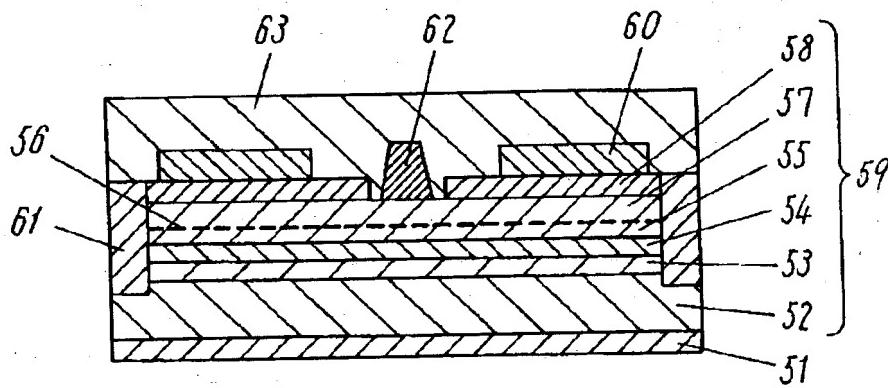
【図3】



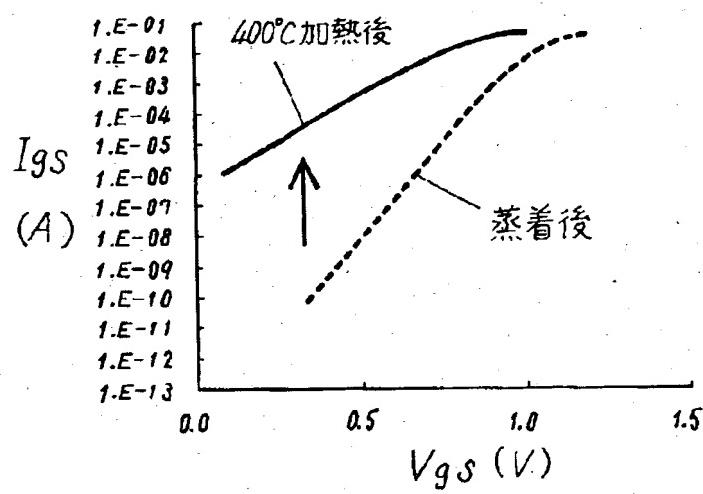
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 InGaP上にTi等の電極を形成した際には、FETの製造プロセスを経る上での熱（通常300°C程度）により、TiとInGaP層のショットキー界面において拡散が起こり、ショットキー特性が熱劣化する。

【解決手段】 半絶縁性GaAs基板1上に、GaAsバッファー層2、Al<sub>0.25</sub>Ga<sub>0.75</sub>Asスペーサー層5、Siプレーナードーピングキャリア供給層6、Al<sub>0.25</sub>Ga<sub>0.75</sub>Asスペーサー層7と、アンドープIn<sub>0.48</sub>Ga<sub>0.52</sub>P第1の半導体8と、n<sup>+</sup>型GaAsキャップ層9が順次形成され、第2の半導体層8上には、LaB<sub>6</sub>のゲート電極13が形成されている。

La, Bを主成分とするゲート金属材料を用いることにより熱的に安定したショットキー接合を得ることができる。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社